

PITANJA ZA KOLOKVIJUM II

1. Objasniti Von Neuman-ov koncept računara.
2. System-bus model računara.
3. Blok dijagram 8-bitnog računara i način adresiranja resursa.
4. Šta su to adresne banke računara i kako se koriste.
5. Objasniti pojam apstrakcije računarskog sistema.
6. Pojam i struktura CPU-a.
7. Pojam programskog algoritma i način realizacije.
8. Osnovni registri CPU-a.
9. Registarski fajl CPU-a
10. CPU ciklus pribavi-izvrši.
11. Magistrale CPU-a.
12. Tipovi ALU operacija i op kod.
13. Primer izvršenja registarsko-registarske naredbe.
14. Objasniti pojam instrukcijskog seta CPU-a.
15. CPU i programski jezici.
16. Sličnosti i razlike između asemblera i viših programskih jezika.
17. Objasniti pojam mašinskog jezika.
18. Proces dobijanja izvršnog koda kod asemblera.
19. Primer toka podataka kod registar-registar ALU operacije.
20. Navesti osnovne odlike svih generacija elektronskih računara.
21. Murov zakon.
22. PLD tehnologija, realizacija I i ILI kola.
23. Šta se podrazumeva pod programiranjem PLD kola?
24. OTP logička kola.
25. PLA logička kola.
26. PAL logička kola.
27. Realizacija ROM-a PLA kolima.
28. Šta predstavlja PLD izvorni fajl a šta JEDEC fajl?
29. Objasnite ulogu dekodera kod memorijskih čipova.
30. Kapacitet memorije i adresna magistrala.
31. Objasniti strukturalnu razliku između RAM i ROM memorije.
32. Šta se podrazumeva pod pojmom proširenje adresnog prostora?
33. Šta se podrazumeva pod pojmom povećanje širine magistrale podataka?
34. Navesti osnovne tipove memorija i njihove karakteristike.
35. Objasniti pojam NV RAM memorije.
36. Objasniti pojam boot-strapp-a.
37. Pojam operativnog sistema.
38. Karakteristike SRAM-DRAM memorija.
39. Murova mašina stanja.
40. Melay-eva mašina stanja.
41. Blok za binarno polusabiranje.
42. Tablica istinitosti i realizacija polusabirača.
43. Tablica istinitosti i realizacija potpunog sabirača.
44. Realizacija sabiranja i oduzimanja potpunim sabiračima.

45. Primena šifiranja kao operacije množenja i deljenja.
46. Pojam sekvencijalnih logičkih kola.
47. D Flip-flop, tablica istinitosti i blok šema.
48. Objasniti pojam setup i hold vreme kod D FF.
49. Master-slave D FF.
50. JK FF, tablica istinitosti i blok šema.
51. T FF, tablica istinitosti i blok šema.
52. Realizacija brojača sa D FF.
53. Dekadni brojač, tablica istinitosti i realizacija.
54. Objasniti pojam kombinacione logike.
55. Komparator istovetnosti, tablica istinitosti i realizacija.
56. Multiplekser, tablica istinitosti i realizacija.
57. Dekoder, tablica istinitosti i realizacija.
58. Kola sa tri stanja, tablica istinitosti i primena.
59. Optimizacije logičkih funkcija i Karnuove mape.
60. Grejev kod, primena i primer.
61. Karnuove mape sa 3, 4 i više promenljivih.
62. Optimizacija nekompletno definisanih funkcija.
63. Realizacija metodom suma-proizvoda.
64. Realizacija metodom proizvod-suma.

Predmetni nastavnik
mr Zoran Veličković, dipl. inž.